



⑬ **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

⑫ **Offenlegungsschrift**
⑩ **DE 100 07 415 A 1**

⑤ Int. Cl.⁷:
H 01 L 29/78

⑳ Aktenzeichen: 100 07 415.4
㉔ Anmeldetag: 18. 2. 2000
㉕ Offenlegungstag: 6. 9. 2001

DE 100 07 415 A 1

⑦① Anmelder:
Infineon Technologies AG, 81669 München, DE

⑦④ Vertreter:
PAe Reinhard, Skuhra, Weise & Partner, 80801
München

⑦② Erfinder:
Werner, Wolfgang, Dr., 81545 München, DE; Hirler,
Franz, Dr., 84424 Isen, DE

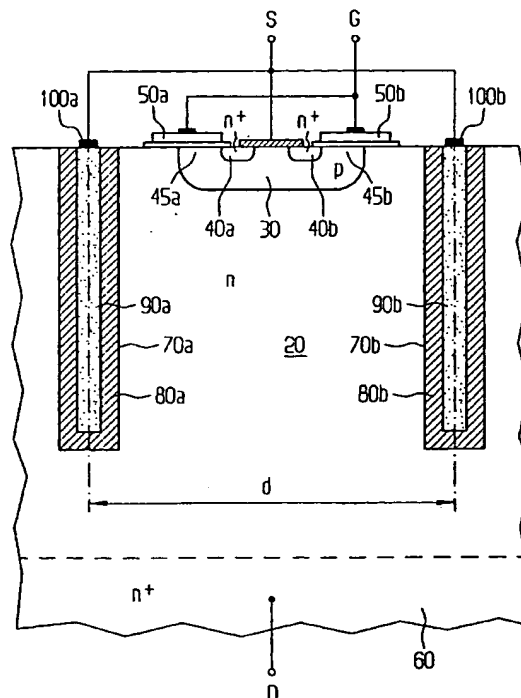
⑤⑥ Entgegenhaltungen:
DE 32 40 162 A1
US 53 26 711 A
US 49 41 026 A

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Halbleiterbauelement

⑤⑦ Die vorliegende Erfindung schafft ein Halbleiterbauelement mit einer planaren Leistungsschalterzelle, welche eine erste vorderseitige Hauptelektrode (S), einen lateralen Kanalbereich (45a, 45b) mit einer darüber angeordneten Gatestruktur (50a, 50b) und eine zweite rückseitige Hauptelektrode (D) aufweist; und einer vertikalen Grabenelektrode (90a, b) in Verlängerung der Richtung des Kanalbereichs (45a, 45b). Die vertikale Grabenelektrode (90a, b) ist an das Potential der ersten vorderseitigen Hauptelektrode (S) angeschlossen.



DE 100 07 415 A 1

Beschreibung

Die vorliegende Erfindung betrifft ein Halbleiterbauelement mit einer planaren Leistungsschalterzelle, welche eine erste vorderseitige Hauptelektrode, einen lateralen Kanalbereich mit einer darüber angeordneten Gatestruktur und eine zweite rückseitige Hauptelektrode aufweist; und mit einer vertikalen Grabenelektrode in Verlängerung der Richtung des Kanalbereichs, wie es aus der US-A-5,326,711 bekannt ist.

Die DE 32 40 162 A1 offenbart ein Halbleiterbauelement mit einem ersten Dotierungsgebiet von einem ersten Leitungstyp, welches eine Vorderseite und eine Rückseite aufweist; einer vorderseitig in dem ersten Dotierungsgebiet eingebrachten ersten Wanne vom zweiten Leitungstyp; mindestens einer in der ersten Wanne beabstandet von deren Rand eingebrachten zweiten Wanne vom ersten Leitungstyp; einem mit der zweiten Wanne verbundenen ersten Anschluß; einem zwischen der zweiten Wanne und dem Rand der ersten Wanne liegenden Kanalbereich; einer isoliert über dem Kanalbereich vorgesehenen Gatestruktur mit einem Gateanschluß; einem rückseitig vom ersten Dotierungsgebiet vorgesehenen Anschlußbereich vom ersten Leitungstyp; und einem mit dem Anschlußbereich verbundenen zweiten Anschluß.

Obwohl auf beliebige Halbleiterbauelemente anwendbar, werden die vorliegende Erfindung sowie die ihr zu Grunde liegende Problematik in Bezug auf vertikale DMOS-Transistoren erläutert.

Allgemein setzt sich der Widerstand einer DMOS-Zelle im wesentlichen aus dem Kanal-, JFET- und Epitaxieanteil zusammen.

Bei kleineren Durchbruchspannungen (< 100 V) sind die Widerstandsanteile je nach Zellenkonstruktion etwa vergleichbar. Der Kanal- und JFET-Anteil können durch bekannten Verfahren, wie z. B. Erhöhung der Zelldichte, Trenchgate usw. reduziert werden.

Bei großen Durchbruchspannungen (> 200 V) dominiert der Epitaxieanteil. Für die Reduzierung des Epitaxieanteils sind drei Verfahren bekannt: das Kompensationsprinzip, das Feldplattenkonzept und das JFET-Prinzip.

Fig. 2 ist eine schematische Darstellung eines weiteren bekannten Halbleiterbauelements in Siliziumtechnologie gemäß der Lehre der US-A-4,941,026 (TEMPLE), welches eine Kombination aus dem Feldplatten- und Trenchgatekonzept ist. Diese Druckschrift offenbart ein Halbleiterbauelement mit einem ersten Dotierungsgebiet 2 von einem ersten Leitungstyp n, welches eine Vorderseite und eine Rückseite aufweist, und mit einem vorderseitig vom ersten Dotierungsgebiet 1 vorgesehenen zweiten Dotierungsgebiet 3 vom zweiten Leitungstyp p.

Im zweiten Dotierungsgebiet 3 sind ein ringförmiges Gebiet bzw. zwei separate Wannen 4a, 4b vom ersten Leitungstyp n^+ beabstandet voneinander vorgesehen, welche einen gemeinsamen ersten Anschluß S (Sourceanschluß) aufweisen. Rückseitig vom ersten Dotierungsgebiet 2 ist ein Anschlußgebiet 6 vom ersten Leitungstyp n^+ mit einem entsprechenden zweiten Anschluß D (Drainanschluß) vorgesehen.

In den beiden Wannen 4a, 4b ist jeweils ein Graben 7a, 7b vorgesehen, der sich vertikal bis zum ersten Dotierungsgebiet 2 erstreckt. Die beiden Gräben 7a, 7b sind mit einem elektrisch leitenden Material 9a, 9b in Form von Polysilizium aufgefüllt, welches über einen dritten Anschluß 10a, 10b an ein Gatepotential G anschließbar ist. Die Wände der Gräben 7a, 7b sind mit einem Dielektrikum 8a, 8b in Form von SiO_2 ausgekleidet, so daß das leitende Material 9a, 9b gegenüber dem ersten und zweiten Dotierungsgebiet 2 bzw. 3 elektrisch isoliert ist. So läßt sich eine vertikale Gatestruktur mit den Gräben 7a, 7b über einem jeweiligen Kanalgebiet 5a, 5b realisieren, das an der Grenzfläche des zweiten Dotierungsgebietes 3 zum jeweiligen Graben 7a, 7b hin verläuft.

Diese bekannte Struktur ist für Durchbruchspannungen von bis zu 100 V geeignet, für höhersperrende DMOS-Transistoren jedoch unwirtschaftlich.

Aufgabe der vorliegenden Erfindung ist es, das eingangs erwähnte Halbleiterbauelement derart weiterzuentwickeln, daß eine wirtschaftliche Struktur für höhersperrende Halbleiterbauelemente realisierbar ist, wobei ein geringerer Einschaltwiderstand erzielbar ist.

Erfindungsgemäß wird diese Aufgabe durch das in Anspruch 1 angegebene Halbleiterbauelement gelöst.

Die der vorliegenden Erfindung zugrundeliegende Idee besteht darin, daß die vertikale Grabenelektrode an das Potential der ersten vorderseitigen Hauptelektrode angeschlossen ist. Diese vertikale Grabenelektrode kann eine ringförmige, streifenförmige oder eine sonstige geeignete Geometrie aufweisen.

Der Graben ist mit einem leitenden Material aufgefüllt, welches über einen separaten Anschluß an ein Potential anschließbar ist. Die Wände des Grabens sind mit einem Dielektrikum ausgekleidet oder weisen einen Hohlraum auf, so daß das leitende Material gegenüber dem ersten Dotierungsgebiet elektrisch isoliert ist. Durch das derart erzeugbare elektrische Feld kann die Raumladungszone am pn-Übergang zwischen der ersten Wanne und dem ersten Dotierungsgebiet derart beeinflußt werden, daß Ladungsträger abgezogen werden, um die Durchbruchfestigkeit trotz erhöhter Dotierung des ersten Dotierungsgebietes zu erhöhen und somit gleichzeitig einen geringen Einschaltwiderstand zu ermöglichen.

Kurz gesagt wird vorgeschlagen, ausgehend von einem Standard-DMOS-Transistor mit planarer Zelle zwischen den Bodygebieten des Zellenfeldes eine an Source-Potential angeschlossene Trenchelektrode zum Ausräumen der Raumladungszone im Driftgebiet einzufügen. Eine solche Struktur ist wesentlich billiger und einfacher herstellbar als die Struktur gemäß der oben erwähnten US-A-4,941,026.

Durch diese Maßnahme kann die Epitaxiedotierung um ca. den Faktor 2–3 angehoben und die Dicke des ersten Dotierungsgebietes, welches zweckmäßigerweise ein Epitaxiegebiet ist, reduziert werden. Im Sperrfall wird dieses erste Dotierungsgebiet dabei sowohl vom Body als auch von den Trenchelektroden ausgeräumt. Devicesimulationen für einen DMOS-Transistor mit einer Durchbruchspannung von 240 V zeigen eine Reduzierung des Einschaltwiderstandes um den Faktor 2–3.

Das erfindungsgemäße Halbleiterbauelement weist somit gegenüber den bekannten Lösungsansätzen u. a. folgende Vorteile auf:

- Minimierung des Einschaltwiderstandes und
- Maximierung der Durchbruchfestigkeit durch Reduzierung der Ladungsträgerkonzentration am pn-Übergang.

In den Unteransprüchen finden sich vorteilhafte Weiterbildungen und Verbesserungen des in Anspruch 1 angegebenen Halbleiterbauelements.

Gemäß einer bevorzugten Weiterbildung weist das Halbleiterbauelement auf: ein erstes Dotierungsgebiet von einem ersten Leitungstyp, welches eine Vorderseite und eine Rückseite aufweist; eine vorderseitig in dem ersten Dotierungsgebiet eingebrachte erste Wanne vom zweiten Leitungstyp; mindestens eine in der ersten Wanne beabstandet von deren Rand eingebrachte zweite Wanne vom ersten Leitungstyp; einen mit der zweiten Wanne verbundenen ersten Anschluß als erste Hauptelektrode; einen zwischen der zweiten Wanne und dem Rand der ersten Wanne liegenden Kanalbereich; einen rückseitig vom ersten Dotierungsgebiet vorgesehen Anschlußbereich vom ersten Leitungstyp; und einen mit dem Anschlußbereich verbundenen zweiten Anschluß als zweite Hauptelektrode.

Gemäß einer weiteren bevorzugten Weiterbildung weist das erste Dotierungsgebiet beabstandet von der ersten Wanne mindestens einen vertikalen Graben in der Verlängerung der Richtung des Kanalbereichs; ist der Graben mit einem leitenden Material aufgefüllt, welches über einen dritten Anschluß an das Potential der ersten vorderseitigen Hauptelektrode angeschlossen ist; und ist das leitende Material gegenüber dem ersten Dotierungsgebiet elektrisch isoliert. Auch hier empfiehlt sich entweder ein ringförmiger Graben oder zwei oder mehr separate Gräben.

Gemäß einer weiteren bevorzugten Weiterbildung sind die Wände des Grabens mit einem Dielektrikum zur elektrischen Isolation ausgekleidet.

Gemäß einer weiteren bevorzugten Weiterbildung weist der Graben einen Hohlraum an der Wand zur elektrischen Isolation auf.

Gemäß einer weiteren bevorzugten Weiterbildung sind zwei zweite Wannen vom ersten Leitungstyp in der ersten Wanne beabstandet von deren Rand eingebracht sind. Entsprechend weist das erste Dotierungsgebiet beabstandet von der ersten Wanne zwei entsprechende vertikale Gräben auf.

Gemäß einer weiteren bevorzugten Weiterbildung weisen die zweiten Wannen einen gemeinsamen ersten Anschluß auf, der mit dem jeweiligen dritten Anschluß des betreffenden Grabens verbunden ist.

Gemäß einer weiteren bevorzugten Weiterbildung ist der Anschlußbereich in einem Wafersubstrat vorgesehen, und der erste Dotierungsbereich ist darauf epitaktisch aufgebracht.

Gemäß einer weiteren bevorzugten Weiterbildung ist der erste Leitungstyp n und der zweite Leitungstyp p.

Gemäß einer weiteren bevorzugten Weiterbildung ist der erste Dotierungsbereich zwischen 15 und 25 Mikrometer dick und weist eine Dotierungskonzentration zwischen $1 \cdot 10^{15}$ und $2 \cdot 10^{15} \text{ cm}^{-3}$ auf.

Gemäß einer weiteren bevorzugten Weiterbildung ist das Grundmaterial Silizium, ist das leitende Material Polysilizium und ist das Dielektrikum SiO_2 .

Ausführungsbeispiele der Erfindung sind in den Zeichnungen dargestellt und in der nachfolgenden Beschreibung näher erläutert.

Es zeigen:

Fig. 1 eine schematische Darstellung eines Halbleiterbauelements als Ausführungsform der vorliegenden Erfindung; und

Fig. 2 eine schematische Darstellung eines bekannten Halbleiterbauelements.

In den Figuren bezeichnen gleiche oder funktionsgleiche Bestandteile.

Fig. 1 ist eine schematische Darstellung eines Halbleiterbauelements in Form eines vertikalen p-Kanal-DMOS-Transistors als Ausführungsform der vorliegenden Erfindung.

Das Halbleiterbauelement gemäß dieser Ausführungsform der Erfindung ist ein vertikaler DMOS-Transistor in Silizium-Technologie.

Es weist ein Wafersubstrat auf, das den Drainanschlußbereich 60 vom ersten Leitungstyp n^+ trägt. Das erste Dotierungsgebiet 20 vom ersten Leitungstyp n ist epitaktisch auf das Wafersubstrat aufgebracht. Vorderseitig in das erste Dotierungsgebiet 20 durch Diffusion eingebracht ist die erste Wanne 30 vom zweiten Leitungstyp p.

Zwei zweite Wannen 40a, 40b vom ersten Leitungstyp n^+ sind in der ersten Wanne 30 beabstandet von deren Rand eingebracht. Sie weisen eine längliche Geometrie (Streifenform) auf. Zwischen der jeweiligen zweiten Wanne 40a, 40b und dem Rand der ersten Wanne 30 liegt ein jeweiliger Kanalbereich 45a, 45b, und isoliert über dem Kanalbereich 45a, 45b ist eine jeweilige Gatestruktur 50a, 50b mit einem Gateanschluß G vorgesehen.

Das erste Dotierungsgebiet 20 weist beabstandet von der ersten Wanne 30 zwei entsprechende vertikale Gräben 70a, 70b in Verlängerung der Richtung des Kanalbereichs 45a, 45b auf. Der jeweilige Graben 70a, 70b ist mit einem leitenden Material 90a, 90b – hier Polysilizium – aufgefüllt, welches über einen dritten Anschluß 100a, 100b mit einem gemeinsamen Anschluß S der zweiten Wannen 40a, 40b verbunden ist.

Die Wände des jeweiligen Grabens 70a, 70b sind mit einem Dielektrikum 80a, 80b – hier SiO_2 – ausgekleidet, so daß das leitende Material 90a, 90b gegenüber dem ersten Dotierungsgebiet 20 elektrisch isoliert ist.

Die nachstehende Tabelle 1 zeigt mögliche Parameterkombinationen für die Halbleiterstruktur nach dieser Ausführungsform.

Tabelle 1

	n_{epi}	d_{epi}	d_{ox}	d	V_{BR}	V_T	l	$R1$	$R2$
5 real	$6 \cdot 10^{14}$	22	-	40	240	2.5	0.7	9.3	8.7
ideal	$6 \cdot 10^{14}$	22	-	15	306	2.4	0.7	4.9	4.6
10 A1	$1.2 \cdot 10^{15}$	17	2	15	261	2.4	0.7	2.9	2.5
A2	$1 \cdot 10^{15}$	19	1	15	259	2.3	0.7	3.2	2.7

In Tabelle 1 bezeichnen "ideal" einen idealen Transistor ohne Trench, "real" einen realen Transistor ohne Trench, A1 eine erste Variante und A2 eine zweite Variante.

n_{epi} ist die Dotierung des epitaktisch aufgetragenen ersten Dotierungsbereichs in cm^{-3} , d_{epi} die Dicke des epitaktisch aufgetragenen ersten Dotierungsbereichs in Mikrometern, d_{ox} die Dicke des Dielektrikums in den Gräben in Mikrometern, d der Grabenabstand in Mikrometern, V_{BR} die Durchbruchspannung in Volt, V_T die Schwellspannung in Volt, l die Kanallänge in Mikrometern sowie $R1 = R_{on} \cdot A \cdot (V_T + 3 \text{ Volt})$ sowie $R2 = R_{on} \cdot A \cdot (V_T + 8 \text{ Volt})$ ein Maß für den Einschaltwiderstand in Ωmm^2 , wobei R_{on} der Einschaltwiderstand an sich und A die Zellfläche ist.

Aus der Tabelle 1 geht klar hervor, daß eine höhere Durchbruchspannung mit erhöhter Dotierung und geringerer Dicke des epitaktisch aufgetragenen ersten Dotierungsbereichs 20 durch die Trenchelektroden möglich ist und dabei der Einschaltwiderstand um einen Faktor 2 verbessert ist.

Obwohl die vorliegende Erfindung vorstehend anhand bevorzugter Ausführungsbeispiele beschrieben wurde, ist sie darauf nicht beschränkt, sondern auf vielfältige Art und Weise modifizierbar.

Auch kann das erfindungsgemäße Halbleiterbauelement Teil einer Thyristorstruktur oder sonstigen komplizierteren Bauelementstruktur sein und ist nicht auf den erläuterten vertikalen DMOS-Transistor beschränkt.

Obwohl beim obigen Beispiel die Sourcegebiete und die Gräben streifenförmig sind, können diese selbstverständlich auch ringförmig, zellenförmig o. ä. sein.

Bezugszeichenliste

- 2, 20 erster Dotierungsbereich
- 3 zweiter Dotierungsbereich
- 30 erste Wanne
- 4a, 4b; 40a, 40b zweite Wanne
- 45a, 45b; 5a, 5b Kanalbereich
- 50a, 50b Gatestruktur
- 6, 60 rückseitiger Anschlußbereich
- 7a, 7b; 70a, 70b Gräben
- 8a, 8b; 80a, 80b Dielektrikum
- 9a, 9b; 90a, 90b leitendes Füllmaterial
- 10a, 10b; 100a, 100b Anschluß zum Füllmaterial
- D, S, G Drain, Source, Gate
- d Abstand von Grabenmitte zu Grabenmitte, Zellraster

Patentansprüche

1. Halbleiterbauelement mit:
einer planaren Leistungsschalterzelle, welche eine erste vorderseitige Hauptelektrode (S), einen lateralen Kanalbereich (45a, 45b) mit einer darüber angeordneten Gatestruktur (50a, 50b) und eine zweite rückseitige Hauptelektrode (D) aufweist; und
einer vertikalen Grabenelektrode (90a, b) in Verlängerung der Richtung des Kanalbereichs (45a, 45b);
dadurch gekennzeichnet, daß
die vertikale Grabenelektrode (90a, b) an das Potential der ersten vorderseitigen Hauptelektrode (S) angeschlossen ist.
2. Halbleiterbauelement nach Anspruch 1, gekennzeichnet durch:
ein erstes Dotierungsgebiet (20) von einem ersten Leitungstyp (n), welches eine Vorderseite und eine Rückseite aufweist;
eine vorderseitig in dem ersten Dotierungsgebiet (20) eingebrachten ersten Wanne (30) vom zweiten Leitungstyp (p);
mindestens eine in der ersten Wanne (30) beabstandet von deren Rand eingebrachten zweiten Wanne (40a, 40b) vom ersten Leitungstyp (n^+);
eine mit der zweiten Wanne (40a, 40b) verbundenen ersten Anschluß (S) als erste Hauptelektrode;
einen zwischen der zweiten Wanne (40a, 40b) und dem Rand der ersten Wanne (30) liegenden Kanalbereich (45a, 45b);
einen rückseitig vom ersten Dotierungsgebiet (20) vorgesehen Anschlußbereich (60) vom ersten Leitungstyp (n^+);
und

- einen mit dem Anschlußbereich (60) verbundenen zweiten Anschluß (D) als zweite Hauptelektrode.
3. Halbleiterbauelement nach Anspruch 2, dadurch gekennzeichnet, daß das erste Dotierungsgebiet (20) beabstandet von der ersten Wanne (30) mindestens einen vertikalen Graben (70a, 70b) in der Verlängerung der Richtung des Kanalbereichs (45a, 45b) aufweist; der Graben (70a, 70b) mit einem leitenden Material (90a, 90b) aufgefüllt ist, welches über einen dritten Anschluß (100a, 100b) an das Potential der ersten vorderseitigen Hauptelektrode (S) angeschlossen ist; und das leitende Material (90a, 90b) gegenüber dem ersten Dotierungsgebiet (20) elektrisch isoliert ist. 5
4. Halbleiterbauelement nach Anspruch 3, dadurch gekennzeichnet, daß die Wände des Grabens (70a, 70b) mit einem Dielektrikum (80a, 80b) zur elektrischen Isolation ausgekleidet sind.
5. Halbleiterbauelement nach Anspruch 3, dadurch gekennzeichnet, daß der Graben (70a, 70b) einen Hohlraum an der Wand zur elektrischen Isolation aufweist. 10
6. Halbleiterbauelement nach einem der Ansprüche 2 bis 5, dadurch gekennzeichnet, daß zwei zweite Wannen (40a, 40b) vom ersten Leitungstyp (n^+) in der ersten Wanne (30) beabstandet von deren Rand eingebracht sind; und das erste Dotierungsgebiet (20) beabstandet von der ersten Wanne (30) zwei entsprechende vertikale Gräben (70a, 70b) aufweist. 15
7. Halbleiterbauelement nach Anspruch 6, dadurch gekennzeichnet, daß die zweiten Wannen (40a, 40b) einen gemeinsamen ersten Anschluß (S) aufweisen, der mit dem jeweiligen dritten Anschluß (100a, 100b) des betreffenden Grabens (70a, 70b) verbunden ist.
8. Halbleiterbauelement nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß der Anschlußbereich (60) in einem Wafersubstrat vorgesehen ist und der erste Dotierungsbereich (20) darauf epitaktisch eingebracht ist. 20
9. Halbleiterbauelement nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß der erste Leitungstyp n und der zweite Leitungstyp p ist.
10. Halbleiterbauelement nach Anspruch 9, dadurch gekennzeichnet, daß der erste Dotierungsbereich zwischen 15 und 25 Mikrometer dick ist und eine Dotierungskonzentration zwischen $1 \cdot 10^{15}$ und $2 \cdot 10^{15} \text{ cm}^{-3}$ aufweist. 25
11. Halbleiterbauelement nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß das Grundmaterial Silizium, das leitende Material (90a, 90b) Polysilizium und das Dielektrikum (80a, 80b) SiO_2 ist.

Hierzu 2 Seite(n) Zeichnungen

30

35

40

45

50

55

60

65

- Leerseite -

FIG 1

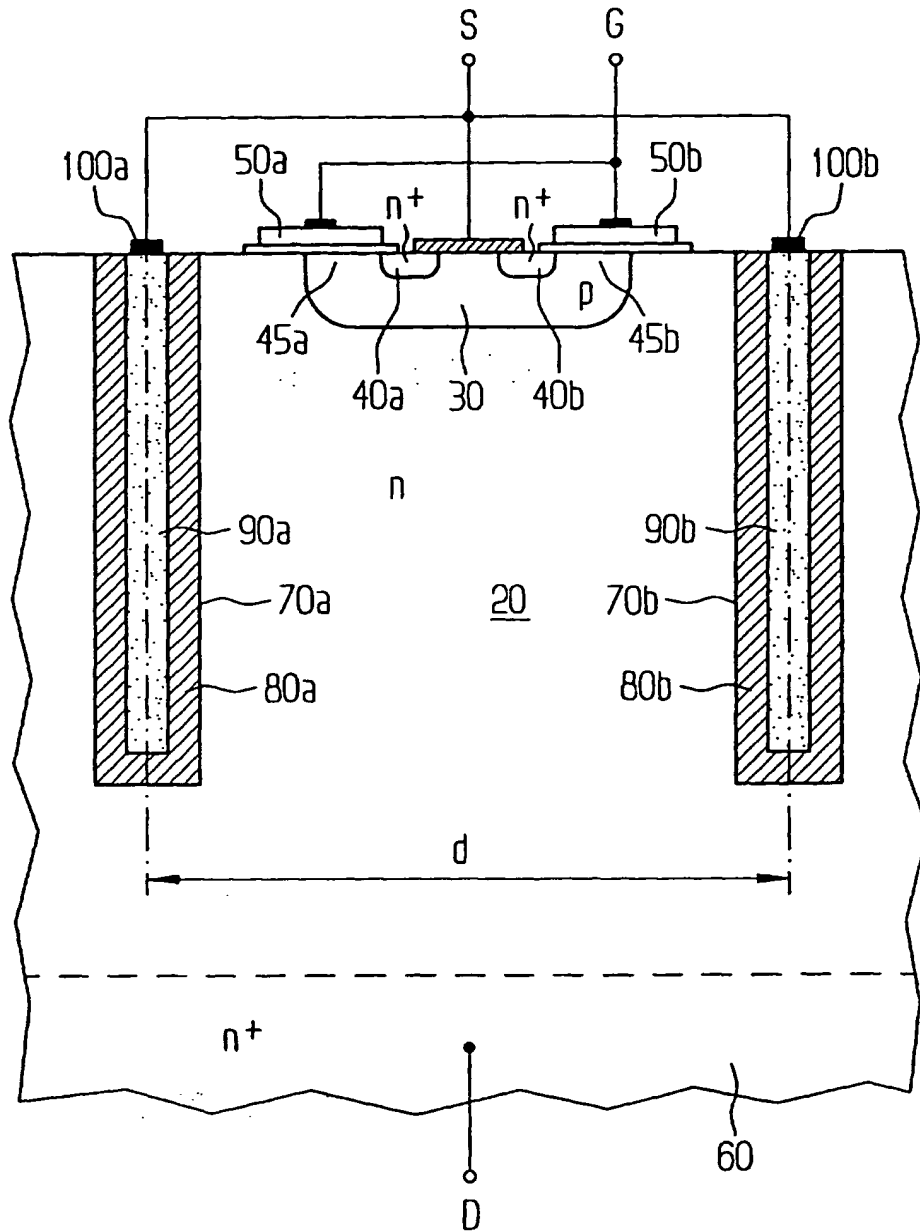


FIG 2

